



PATENT ABSTRACTS OF JAPAN

(43) Date of publication of application: **09.11.99**

G06F 12/14

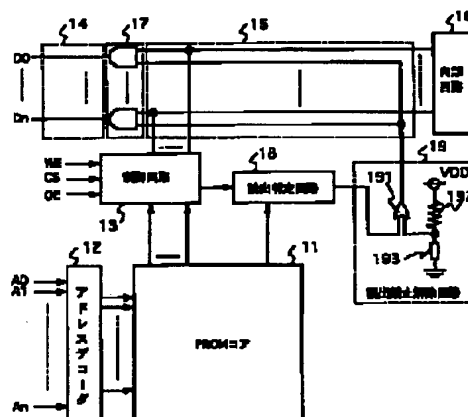
(71) Applicant: **NEW JAPAN RADIO CO LTD**

(72) Inventor: **AKITA SHINICHI**
KATSU MITSUNORI

(57) Abstract:

SOLUTION: Relating to the semiconductor storage device, a read determining circuit 18 determines security data corresponding to data read out from a PROM core 11, and at the time of determining that the security data indicate read inhibition, an output gate 17 connecting an internal data bus 14 to an external data bus 15 is interrupted. A read inhibition releasing circuit 19 is inserted between the circuit 18 and the gate 17, and at the time of releasing read inhibition, a wiring 193 in the circuit 19 is cut off.

COPYRIGHT: (C)1999,JPO



(11)特許出願公開番号

特開平11-312124

(43)公開日 平成11年(1999)11月9日

(51) Int.Cl.⁶
G 0 6 F 12/14

識別記号
3 1 0

F I
G 0 6 F 12/14

3 1 0 B

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21)出願番号 特願平10-119458

(22)出願日 平成10年(1998)4月28日

(71)出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72)発明者 秋田 晋一

東京都豊島区西池袋1丁目17番10号 株式
会社エヌ・ジェイ・アールセミコンダクタ
内

(72)發明者 勝 満徳

東京都豊島区西池袋1丁目17番10号 株式
会社エヌ・ジェイ・アールセミコンダクタ
内

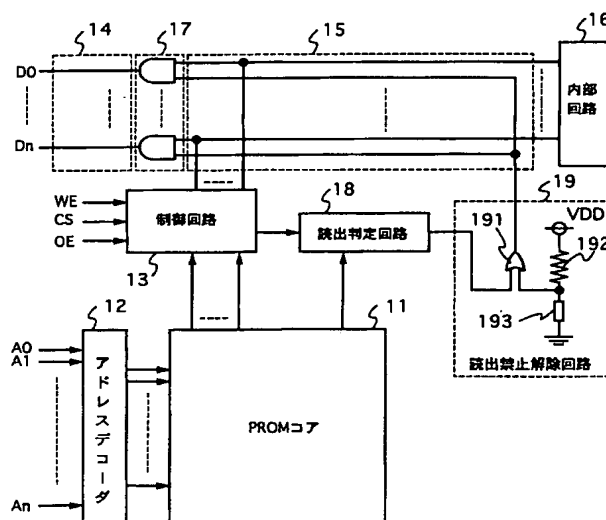
(74)代理人 弁理士 長尾 常明

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 外部からの読み出しが禁止されたデータであっても、その読み出しを行うことができるようにする。

【解決手段】 PROMコア１１の読出データに対応したセキュリティデータを読出判定回路１８で判定してそれが読出禁止であると判定されるとき、内部データバス１４と外部データバス１５を接続する出力ゲート１７を遮断する半導体記憶回路において、読出判定回路１８と出力ゲート１７との間に読出禁止解除回路１９を介挿し、読出禁止を解除するときその読出禁止解除回路１９の配線１９３を切断する。



【特許請求の範囲】

【請求項 1】データが書き込まれた記憶装置と、該書き込まれたデータのうち読み出しの対象となったデータが読出禁止データであるとき内部データバスから外部データバスへの転送を禁止する外部読出禁止手段とを具備する半導体記憶装置において、

前記外部読出禁止手段を、前記外部データバスと前記内部データバスの間に設けた出力ゲートと、前記記憶装置から読み出したデータ或いはそれに関連する別の記憶装置から読み出したデータに基づき又は前記記憶装置をアクセスしたアドレスデータに基づき読出禁止であるか否かを判定し、読出禁止であると判定すると前記出力ゲートを遮断する信号を出力する読出禁止制御手段と、前記出力ゲートと前記読出禁止制御手段との間に設けた読出禁止解除手段とから構成し、

該読出禁止解除手段を解除モードに設定することにより前記読出禁止制御手段の判定に無関係に前記出力ゲートが開くようにしたことを特徴とする半導体記憶装置。

【請求項 2】前記読出禁止解除手段は、特定の配線が切断されることにより前記読出禁止制御手段の判定に無関係に前記解除モードが設定されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】前記読出禁止解除手段は、光が照射されることにより前記読出禁止制御手段の判定に無関係に前記解除モードが設定されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】前記読出禁止解除手段は、暗号が入力されることにより前記読出禁止制御手段の判定に無関係に前記解除モードが設定されることを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記憶装置に書き込まれたデータのうち読み出しの対象となったデータが外部読出禁止データであるとき外部への読み出しが禁止されるようにした半導体記憶装置において、その読出禁止のデータを必要に応じて読み出すことができるようにした半導体記憶装置に関するものである。

【0002】

【従来の技術】ROM、PROM、電池バックアップされたRAM等の不揮発性メモリ（記憶装置）やその不揮発性メモリを搭載した製品では、市場においてその不揮発性メモリに書き込まれているデータを不正読み出しから保護したい場合があり、このために通常では、不正読み出しから保護したいデータに対応してセキュリティデータを同じ不揮発性メモリの冗長部あるいは別の不揮発性メモリに同時に書き込み、外部からの不正読出を禁止している。

【0003】すなわち、読み出しのアクセスがあったときに、その読み出しのアドレスデータで指定される特定

のデータが読出禁止データか否かを、同時に読み出されるセキュリティデータを参照することにより判定して、読出禁止データの場合にはその読み出しを禁止させることにより、その不揮発性メモリに一旦書き込んだデータが外部から不正読み出しできないようにした保護手段を講じて出荷することが行われている。

【0004】

【発明が解決しようとする課題】ところが、一旦出荷した後にその不揮発性メモリ或いはそれを搭載した製品に不良が発生し、製造者側でその不良解析を行わなくてはならない場合には、不揮発性メモリ内のデータを確認しなければならない。また、別の理由でデータを解析しなければならない場合もある。

【0005】本発明は以上のような点に鑑みてなされたものであり、その目的は、不正読み出しの禁止を解除できるようにして、上記した事態に対応できるようにした半導体記憶装置を提供することである。

【0006】

【課題を解決するための手段】上記目的を達成するための第 1 の発明は、データが書き込まれた記憶装置と、該書き込まれたデータのうち読み出しの対象となったデータが読出禁止データであるとき内部データバスから外部データバスへの転送を禁止する外部読出禁止手段とを具備する半導体記憶装置において、前記外部読出禁止手段を、前記外部データバスと前記内部データバスの間に設けた出力ゲートと、前記記憶装置から読み出したデータ或いはそれに関連する別の記憶装置から読み出したデータに基づき又は前記記憶装置をアクセスしたアドレスデータに基づき読出禁止であるか否かを判定し、読出禁止であると判定すると前記出力ゲートを遮断する信号を出力する読出禁止制御手段と、前記出力ゲートと前記読出禁止制御手段との間に設けた読出禁止解除手段とから構成し、該読出禁止解除手段を解除モードに設定することにより前記読出禁止制御手段の判定に無関係に前記出力ゲートが開くように構成した。

【0007】第 2 の発明は、第 1 の発明において、前記読出禁止解除手段を、特定の配線が切断されることにより前記読出禁止制御手段の判定に無関係に前記解除モードが設定されるよう構成した。

【0008】第 3 の発明は、第 1 の発明において、前記読出禁止解除手段を、光が照射されることにより前記読出禁止制御手段の判定に無関係に前記解除モードが設定されるよう構成した。

【0009】第 4 の発明は、第 1 の発明において、前記読出禁止解除手段を、暗号が入力されることにより前記読出禁止制御手段の判定に無関係に前記解除モードが設定されるよう構成した。

【0010】

【発明の実施の形態】〔第 1 の実施の形態〕図 1 は本発明の第 1 の実施の形態の半導体記憶装置のブロック図で

ある。11はデータが書き込まれるPROMコア（記憶装置）、12は入力するアドレスデータA0～AnをデコードしてPROMコア11のメモリセルを選択するアドレスデコードである。13は制御回路であり、書き込み制御信号WE、読み出し制御信号OE、チップ選択信号CSを入力して、読み出しや書き込みの制御を行う。14は外部データバス、15はCPU等が含まれる内部回路16に接続された内部データバス、17は外部データバス14と内部データバス16の導通／遮断を制御するANDゲートからなる出力ゲートである。18は読出判定回路（読出禁止制御手段）であり、PROMコア11から読み出したセキュリティデータが読出禁止を指示するものか否かの判定を行う。19はその読出判定回路18の判定結果の信号を受けて前記した出力ゲート17を制御する読出禁止解除回路（読出禁止解除手段）である。この読出禁止解除回路19は、ORゲート191、プルアップ抵抗192、そのプルアップ抵抗192を接地に接続するアルミニウム配線193からなる。

【0011】さて、本実施例では、製品の製造最終段階（出荷前）に、PROMコア11に書き込まれたデータのうち、不正読出から保護すべきデータに対応して、その読出を禁止するセキュリティデータをそのPROMコア11の当該データの書き込み部分又は冗長部に書き込む。なお、書き込みに関連する部分は本発明の本旨からはずれるので、詳しくは図示しなかった。

【0012】そして、読み出しモードでは、アドレスデータA0～Anの内容に応じてPROMコア11のデータが指定されると、そのデータが読み出され、同時にそのデータに対応したセキュリティデータも読み出される。データは制御回路13のバッファを経由して内部データバス15に転送され、またセキュリティデータは読出判定回路18に入力してそれが読出禁止を指示するものか否かが判定される。この読出判定回路18では、セキュリティデータが「読出禁止」を指示するものであると判定すると「0」を出力し、「読出許可」を指示するものであると判定すると「1」を出力する。

【0013】読出判定回路18が読出許可の「1」の信号を出力したときは、読出禁止解除回路19のORゲート191の出力が必ず「1」となるので、出力ゲート17の各ANDゲートが開いて、内部データバス15に読み出されたデータが外部データバス14にも転送される。

【0014】しかし、読出判定回路18が読出禁止の「0」の信号を出力したときは、読出禁止解除回路19のORゲート191の両入力が共に「0」となるので、その出力が「0」となり、出力ゲート17の各ANDゲートが閉じて、内部データバス15に読み出されがデータは外部データバス14には転送されない。

【0015】このようにして、読み出したデータに対応したセキュリティデータが「読出禁止」を指示するもの

であると判定されたときは、その読出データは外部データバス14に現れず、その秘匿性を保護することができる。

【0016】以上において、何らかの理由によりPROMコア11に書き込まれたデータを解析する必要性が製造者側に生じたときは、読出禁止解除回路19の配線193の部分を切断して抵抗193の接地側を接地から開放状態（読出禁止の解除モード）にする。この配線の切断は、レーザを使用したり、あるいはその配線193の部分をヒューズにより形成しておいて、そのヒューズを遮断して行う。

【0017】この結果、ORゲート191の一方の入力に抵抗192を介して電圧VDDが印加するので、その入力が「1」となって出力が「1」となり、出力ゲート17が開くようになる。よって、PROMコア11から読み出されたデータが、読出判定回路128の判定結果の如何に拘わらず出力データバス14に現れるようになり、その解析を行うことが可能となる。なお、解析を完了した後は、配線193の部分を再度短絡すれば、読出禁止解除回路19は読出判定回路18の判定結果に依存するようになり、セキュリティを保持した製品に復元される。

【0018】〔第2の実施の形態〕図2は図1に示した読出禁止解除回路19の別の例の読出禁止解除回路20を示すブロック図である。ここでは、出力信号を出力ゲート17に送るORゲート201とフォトセンサ202により読出禁止解除回路20を構成している。フォトセンサ202はフォトダイオード、アバランシェフォトダイオード、フォトトランジスタ等で構成され、光照射のない時は遮断してその出力信号が「0」であるが、光が照射されると導通して印加している電圧を出力し、その出力信号が「1」となる。

【0019】したがって、このフォトセンサ202に光を照射させることにより、読出判定回路18の判定結果の如何に拘わらず、ORゲート201の出力が「1」となって、出力ゲート14がゲートを開くことになる。光照射を停止すれば、読出禁止解除回路19は読出判定回路18の判定結果に依存するようになり、セキュリティを保持した製品に復元される。

【0020】〔第3の実施の形態〕図3は図1に示した読出禁止解除回路19の更なる別の例の読出禁止解除回路21を示すブロック図である。211はその出力が出力ゲート17に接続されたORゲート、212はある規則の元で暗号化されたnビットのビットストリームBSが格納されるシフトレジスタ、213はこのシフトレジスタ212の出力データを保持するラッチ回路、214は入力データを解読してそれが正規暗号のとき出力を「1」にする暗号デコードである。

【0021】この例では、外部入力したビットストリームがシフトレジスタ212に所定のnビット分格納され

5

ると、その全データがラッチ回路 213 で保持されて暗号デコーダ 214 で解読される。そして、その n ビットデータが正規の暗号であるとき、暗号化デコーダ 214 から「1」の信号が OR ゲート 211 に出力するので、読出判定回路 18 の判定結果の如何に拘わらず、OR ゲート 201 の出力が「1」となって、出力ゲート 14 がゲートを開くことになる。なお、必要なデータを読み出して行うデータ解析が完了した後は、ラッチ回路 213 をリセットすれば暗号デコーダ 214 の出力が「0」になり、PROM コア 11 に書き込まれている保護データの外部読出が禁止される。

【0022】 [その他の実施の形態] なお、以上では PROM コア 11 に格納するデータに読出禁止の保護手段を講じた場合について説明したが、適用できる記憶装置には PROM 以外にマスク ROM、バッテリーバックアップの RAM 等の不揮発性記憶装置も含まれる。また、セキュリティデータは、記憶装置に書き込んだデータと共に又はそのデータと関連付けて冗長部に書き込んだが、別の記憶装置に関連付けて書き込んでよい。さらに、各データに対応したセキュリティデータの書き込みは行

10

【図面の簡単な説明】

【図 1】 本発明の実施の形態の半導体記憶装置のブロック図である。

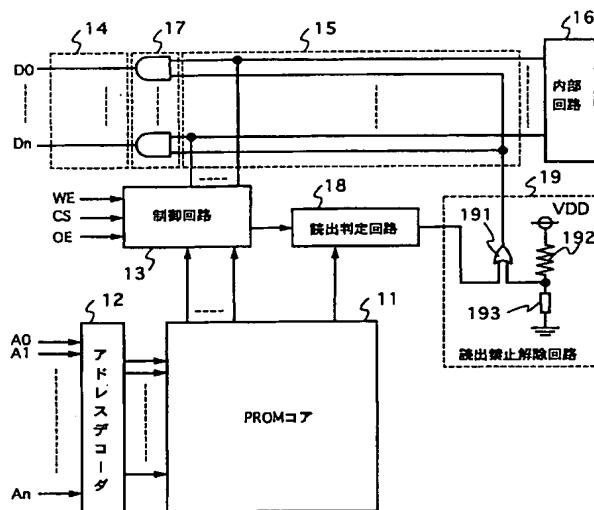
【図 2】 図 1 の半導体記憶装置の読出禁止解除回路の別の例のブロック図である。

【図 3】 図 1 の半導体記憶装置の読出禁止解除回路の更なる別の例のブロック図である。

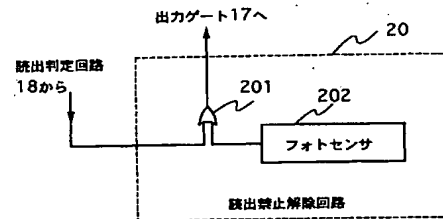
【符号の説明】

11 : PROM コア、12 : アドレスデコーダ、13 : 制御回路、14 : 外部データバス、15 : 内部データバス、16 : 内部回路、17 : 出力ゲート、18 : 読出判定回路、19、20、21 : 読出禁止解除回路。

【図 1】



【図 2】



【図 3】

